



DISPLAY DEVICE

Patent number: JP8234703
Publication date: 1996-09-13
Inventor: ICHIKAWA HIROAKI; IIDA MASAYUKI; HAYASHI YUJI;
 TSUBOTA HIROYOSHI
Applicant: SONY CORP
Classification:
 - international: **G02F1/133; G09G1/16; G09G3/20; G09G3/36;**
H04N5/66; G02F1/13; G09G1/16; G09G3/20;
G09G3/36; H04N5/66; (IPC1-7): G09G3/36; G02F1/133;
G09G1/16; G09G3/20; H04N5/66
 - european: **G09G3/36C8; G09G3/36C12A**
Application number: JP19950065189 19950228
Priority number(s): JP19950065189 19950228

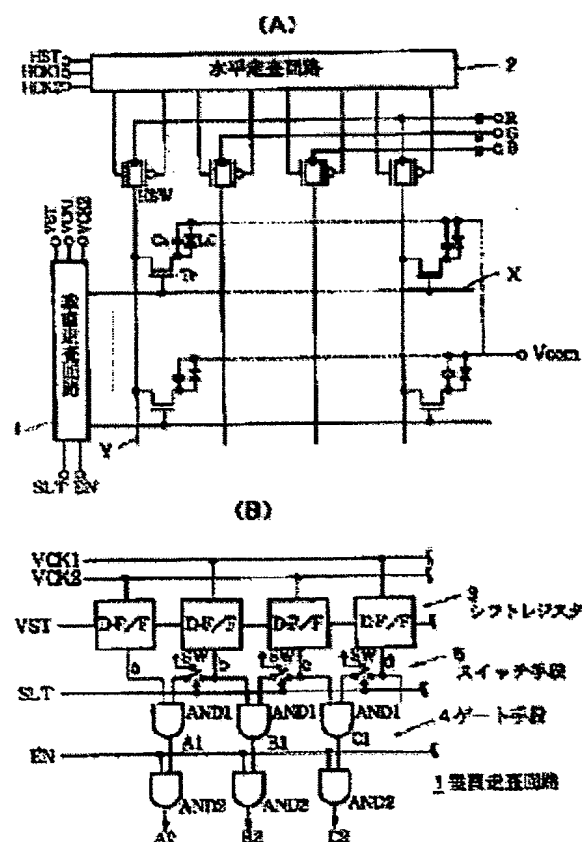
Also published as:

 EP0730258 (A)
 US5818413 (A)

Report a data error he

Abstract of JP8234703

PURPOSE: To allow a liquid crystal panel with built-in scanning circuit to serve as non-interlace driving and interlace driving. **CONSTITUTION:** This display device is provided with pixel LC disposed in a matrix, a vertical scanning circuit 1 and a horizontal scanning circuit 2. The vertical scanning circuit 1 outputs each select pulse and scans the pixel LC for each line successively during one vertical period. The horizontal scanning circuit 2 writes video signals and transfers them to the pixel lines selected by sequential scanning during one horizontal period. The vertical scanning circuit 1 is provided with a switching means 5 for controlling the switching of sequential output of a select pulse and adjusting the numbers of pixel lines selected for each horizontal period according to the standard of video signal.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-234703

(43) 公開日 平成8年(1996)9月13日

(51) Int. Cl. ⁶	識別記号	F I
G09G 3/36		G09G 3/36
G02F 1/133	550	G02F 1/133 550
G09G 1/16		G09G 1/16 V
3/20	4237-5H	3/20 V
H04N 5/66	102	H04N 5/66 102 B
審査請求 未請求 請求項の数 5 F D (全12頁)		

(21) 出願番号 特願平7-65189

(22) 出願日 平成7年(1995)2月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 市川 弘明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 飯田 正幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 林 祐司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 鈴木 晴敏

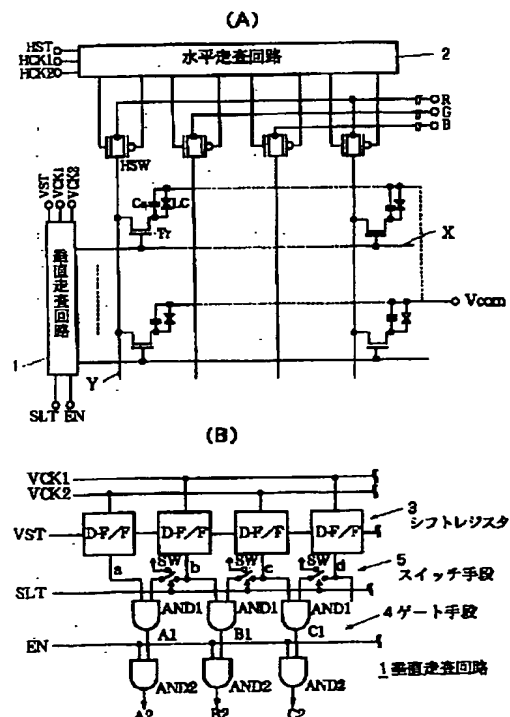
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 走査回路内蔵型液晶パネルでノンインターレース駆動とインターレース駆動の兼用化を図る。

【構成】 表示装置は行列配置した画素LCと、垂直走査回路1と、水平走査回路2とを備えている。垂直走査回路1は選択パルスを逐次出力して一垂直期間に画素を行単位で順次走査する。水平走査回路2は該順次走査により選択された画素行に対して一水平期間に映像信号を書き込み転送する。垂直走査回路1はスイッチ手段5を備えており、該選択パルスの逐次出力を切り換え制御し、映像信号の規格に合わせて一水平期間毎に選択される画素行の本数を調整する。



【特許請求の範囲】

【請求項 1】 行列配置した画素と、垂直走査回路と、水平走査回路とを備えており、該垂直走査回路は選択パルスを逐次出力して一垂直期間に画素を行単位で順次走査し、該水平走査回路は該順次走査により選択された画素行に対して一水平期間に映像信号を書き込み転送する表示装置であって、前記垂直走査回路は該選択パルスの逐次出力を切り換え制御するスイッチ手段を内蔵しており、映像信号の規格に合わせて一水平期間毎に選択される画素行の本数を調整する事を特徴とする表示装置。

【請求項 2】 前記スイッチ手段は、ノンインターレース規格の映像信号が入力される時一水平期間毎に 1 本の画素行を選択し一垂直期間で一フレーム分のノンインターレース駆動を可能とし、インターレース規格の映像信号が入力される時一水平期間毎に 2 本の画素行を同時選択し一垂直期間で 1 フィールド分のインターレース駆動を可能にすると共にフィールド毎に同時選択される 2 本の画素行を 1 本分だけずらす事を特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記スイッチ手段は、正規の走査線数を有する通常規格の映像信号が入力される時一水平期間毎に常に 1 本の画素行を選択して通常駆動を可能とし、正規より少ない走査線数を有する変型規格の映像信号が入力される時一水平期間に 1 本の画素行を選択する駆動と一水平期間に 2 本の画素行を選択する駆動とを所定の割合で組み合わせて間延し駆動を可能にする事を特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記垂直走査回路は、垂直クロック信号に応じて垂直スタート信号を順次転送して一次選択パルスを逐次生成する多段のシフトレジスタと、該シフトレジスタの隣り合う段から出力した一対の一次選択パルスをゲート処理して二次選択パルスを生成するゲート手段を含んでおり、前記スイッチ手段は該シフトレジスタと該ゲート手段との間に介在し、一水平期間に 1 本の画素行を選択する時、該一対の一次選択パルスをそのまま該ゲート手段に供給して二次選択パルスを出力させ、一水平期間に 2 本の画素行を選択する時、該一対の一次選択パルスの片方を遮断して他方を該ゲート手段に供給し元の一次選択パルスの出力を可能にする事を特徴とする請求項 1 記載の表示装置。

【請求項 5】 前記垂直走査回路は、ノンインターレース規格の映像信号が入力される時一水平期間毎に 1 本の画素行を選択し一垂直期間で 1 フレーム分のノンインターレース駆動を可能とし、インターレース規格の映像信号が入力される時一水平期間毎に 2 本の画素行の一方を選択し他方を非選択にして一垂直期間で 1 フィールド分のインターレース駆動を可能にすると共にフィールド毎に選択される画素行と非選択の画素行とを入れ換える手

段を含む事を特徴とする請求項 1 記載の表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は水平走査回路及び垂直走査回路を内蔵したアクティブマトリクス型の液晶パネルによって代表される表示装置に関する。より詳しくは、フルライン構成の画面を有し且つインターレース駆動とノンインターレース駆動を内部的に切り換え可能な表示装置に関する。

【 0 0 0 2 】

【従来の技術】 日本国内の TV 放送規格である NTSC 方式では偶奇 2 フィールドで 1 画面（1 フレーム）が構成され、1 フレームの走査線数は 525 本、フレーム周波数は 30 Hz である。しかし、現在商品化されている小型液晶 TV あるいは投射型 LCD の大部分は、液晶パネルの水平走査線数は 220 ～ 240 本である。これは NTSC 方式の有効走査線数の約半分に当たる。従って、これらの LCD は 1 フィールドの映像信号のみで 1 画面を構成するハーフライン駆動を行なっている。画質的には垂直解像度が低下するが、ハーフライン駆動ではノンインターレース走査を行なう為、同一走査線数の場合インターレース走査よりも 30 % 前後解像度が向上する。この事を考慮すると、ハーフライン駆動による垂直解像度の低下は 35 % 程度である。

【 0 0 0 3 】 3 ～ 4 インチ程度の小画面ではこの解像度の低下が画質に与える影響は小さいが、40 インチ以上の大画面表示を行なう投射型 LCD においては、フルライン駆動が強く望まれており、近年盛んに開発されている。図 16 に、フルフレーム構成のアクティブマトリクス型液晶パネルを示す。このパネルは行列配置した液晶画素により構成される画面 101 と、垂直走査回路（V スキャナ）102 と、水平走査回路（H スキャナ）103 とを備えている。V スキャナ 102 は選択パルスを逐次出力して一垂直期間に画素を行単位で順次走査する。H スキャナ 103 は該順次走査により選択された画素行（ライン）104 に対して一水平期間に映像信号を書き込む。前述した様に、フルフレーム構成のアクティブマトリクス型液晶パネルでは、ライン 104 の本数（水平走査線数）がハーフフレーム構成の 220 ～ 240 本に比べ倍増する。かかるフルフレーム構成の液晶パネルは、特にコンピュータグラフィックスの大画面表示を行なう投射型 LCD 等に好適である。この場合には、VGA 等の映像信号が供給される為、そのままノンインターレース駆動が可能である。

【 0 0 0 4 】

【発明が解決しようとする課題】 しかしながら、場合によっては VGA 等のノンインターレース信号に代え、TV 等のインターレース信号を入力してテレビ画像やビデオ画像を表示したい場合がある。この時には、図 17 に示す様に TV 信号等のインターレース信号を一旦コンバ

ータ 1 0 5 を介して倍速処理し、液晶パネルに供給する。これにより、VGA 信号と同様に TV 信号のノンインターレース駆動に適応できる。しかしながら、コンバータ 1 0 5 で倍速処理を行なう為には大容量のメモリが必要となり、システム構成が大型化するという欠点がある。VGA 等のコンピュータ出力信号の表示と、通常の TV 信号の表示とを 1 枚の液晶パネルで兼用する場合に、TV 信号についてもノンインターレース駆動を行なおうとすると大容量の外部メモリが必要となり、システムが複雑になる。

【0 0 0 5】TV 信号をフルフレーム構成の液晶パネルに表示する場合、ノンインターレース変換を行なう代わりに、インターレース駆動をする事も可能である。図 1 8 にその例を示す。ここでは、V スキャナ 1 0 2 が一水平期間につき 2 ライン同時に選択している。しかしながら、この 2 ライン同時選択方式は、同時に選択されるラインの組を固定するとハーフフレーム構成の場合と同じ解像度しか得られない。

【0 0 0 6】この点を改善したのが、図 1 9 に示す例である。画面 1 0 1 の左右両側に、一対の V スキャナ 1 0 2 a, 1 0 2 b を設けている。第 1 V スキャナ 1 0 2 a は例えば奇数フィールド用であり、1 番目と 2 番目のラインを同時選択し、次に 3 番目及び 4 番目のラインを同時選択する。これに対し、第 2 V スキャナ 1 0 2 b は偶数フィールド用であり、1 番目のラインを単独選択した後、2 番目のライン及び 3 番目のラインを同時選択し、次に 4 番目のラインと 5 番目のラインを同時選択する。この様に、奇数フィールドと偶数フィールドとで同時選択されるラインの組を変える事により、垂直解像度を高めている。しかしながら、一対の V スキャナ 1 0 2 a, 1 0 2 b は TV 信号のインターレース駆動に対処できる一方、逆に VGA 信号が入力された場合これに応じたノンインターレース駆動には不要である。即ち、ノンインターレース駆動とインターレース駆動に兼用可能なフルフレーム構成には、必ずしも適した回路構成となっていない。

【0 0 0 7】図 2 0 は、フルフレーム構成の液晶パネルをインターレース駆動する為の他の回路構成を表わしている。この回路は、奇数ライン用の第 1 V スキャナ 1 0 2 c と偶数ライン用の第 2 V スキャナ 1 0 2 d を 2 系統用意している。これら一対の V スキャナ 1 0 2 c, 1 0 2 d を液晶パネルに内蔵しようとすると、その分パネルサイズが大きくなるという欠点がある。又、V スキャナを 2 系統用いる構成は必ずしもノンインターレース駆動に必要なものではなく、特にメリットは認められない。なお、図 2 0 に示したフィールド毎 1 本おきにライン選択を行なう方式は、CRT のインターレース駆動と同じである。しかしながら、液晶パネルの場合には交流駆動が必要であり、実効的に 1 5 Hz のリフレッシュとなり、フリッカーが生じる惧れがある。垂直方向に 2 3 0 ライ

ン程度のハーフフレーム構成の場合、3 0 Hz のリフレッシュの為問題にならないが、4 0 0 ライン以上の通常 TV と同様の表示を行なう為には、上記のフリッカーを回避しなくてはならない。

【0 0 0 8】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は VGA 等のコンピュータ出力表示用に設計されたフルフレーム構成の表示装置において、TV 信号も同時に表示可能な回路構成を提供する事を目的とする。換言すると、図 1 6 に示したノンインターレース駆動と図 1 9 又は図 2 0 に示したインターレース駆動とを内部の切り換え操作のみで実行可能な表示装置を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかる表示装置は基本的な構成として、行列配置した画素と、垂直走査回路と、水平走査回路とを備えている。垂直走査回路は選択パルスを逐次出力して一垂直期間に画素を行単位で順次走査する。水平走査回路は該順次走査により選択された画素行（ライン）に対して一水平期間に映像信号を書き込む。特徴事項として、前記垂直走査回路は該選択パルスの逐次出力を切り換え制御するスイッチ手段を内蔵しており、映像信号の規格に合わせて一水平期間毎に選択される画素行（ライン）の本数を調整する。具体的には、前記スイッチ手段はノンインターレース規格の映像信号が入力される時、一水平期間毎に 1 ラインを選択し一垂直期間で 1 フレームのノンインターレース駆動を可能にする。一方、インターレース規格の映像信号が入力される時、一水平期間毎に 2 本のラインを同時選択し、一垂直期間で 1 フィールドのインターレース駆動を可能にすると共に、フィールド毎に同時選択される 2 本のラインを 1 本分だけずらす。

【0 0 0 9】かかる構成は走査線数が異なる種々の規格の映像信号に対応する場合にも応用可能である。即ち、前記スイッチ手段は、正規の走査線数を有する通常規格の映像信号が入力される時、一水平期間毎に常に 1 ラインを選択して通常駆動を可能にする。一方、正規より少ない走査線数を有する変型規格の映像信号が入力される時、一水平期間に 1 ラインを選択する駆動と一水平期間に 2 ラインを同時選択する駆動とを所定の割合で組み合わせ、所謂間延し駆動を可能にしている。

【0 0 1 0】前記垂直走査回路は、垂直クロック信号に応じて垂直スタート信号を順次転送して一次選択パルスを逐次生成する多段のシフトレジスタと、該シフトレジスタの隣り合う段から出力した一対の一次選択パルスをゲート処理して二次選択パルスを生成するゲート手段を含んでいる。この場合、前記スイッチ手段は該シフトレジスタと該ゲート手段との間に介在し、一水平期間に 1 ラインを選択する時、該一対の一次選択パルスをそのまま該ゲート手段に供給して二次選択パルスを出力させる。一方、一水平期間に 2 ラインを同時選択する時、該

一対の一次選択パルスの片方を遮断して他方を該ゲート手段に供給し元の一次選択パルスの出力を可能にする。

【0011】なお、前記垂直走査回路は2ライン同時選択によるインターレース駆動に代え、1ラインおきに選択する方式のインターレース駆動も実施可能である。即ち、前記垂直走査回路はインターレース規格の映像信号が入力される時、一水平期間毎に2ラインの一方を選択し他方を非選択にして一垂直期間で1フィールドのインターレース駆動を可能にすると共に、フィールド毎に選
10 択される画素行と非選択の画素行とを入れ換える手段を含んでいる。

【0012】

【作用】本発明によれば、表示装置に組み込まれた垂直走査回路は内部的に1ライン単独選択と2ライン同時選択を切り換える事ができる。これにより、表示装置をノンインターレース駆動とインターレース駆動とで兼用化できる。又、種々のライン規格の映像信号に対して、適宜1ライン単独選択と2ライン同時選択を組み合わせる事により、画面合わせが可能になる。

【0013】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置に用いられるアクティブマトリクス型液晶パネルの基本的な構成を示す回路図である。(A)は液晶パネルの全体構成を表わしており、周辺回路内蔵型である。図示する様に、液晶パネルは行列配置した画素LCを有している。個々の液晶画素LCは能動素子基板側に設けられた画素電極と対向基板側に設けられた対向電極との間に液晶を保持して構成される。対向電極には所定の対向電圧 V_{com} が印加される。個々の液晶画素LCには補助容量C
30 sが並列して接続される。又、各液晶画素LCを駆動する為のスイッチング素子として、薄膜トランジスタTrが集積形成されている。行列配置した液晶画素LCの行方向に沿って、ゲートラインXが配設されていると共に、これと直交する列方向に沿って信号ラインYが配設されている。個々の薄膜トランジスタTrのソース電極は対応する信号ラインYに接続され、ドレイン電極は対応する画素電極に接続され、ゲート電極は対応するゲートラインXに接続されている。

【0014】液晶パネルはさらに垂直走査回路(Vスキヤナ)1と水平走査回路(Hスキヤナ)2を内蔵している。垂直走査回路1はゲートラインXに対して選択パルスを逐次出力し、同一ゲートライン上の薄膜トランジスタTrを導通状態にし液晶画素LCの行(ライン)を線順次走査する。垂直走査回路1は外部から入力される矩形の垂直スタート信号VSTを同じく外部から入力される矩形の垂直クロック信号VCK1、VCK2に同期して順次転送する事により前述した選択パルスを出力する。なお、VCK1とVCK2は互いに逆相関係にある。この他、制御信号としてSLT及びENも供給され
50

る。

【0015】一方、水平走査回路2は、個々の信号ラインYに接続された水平アナログスイッチHSWの開閉制御を行なう。なお、各信号ラインYにはこのアナログ水平スイッチHSWを介してR、G、Bの各三原色成分に分かれた映像信号が供給される。水平走査回路2は外部から入力される水平クロック信号HCK1、HCK2に同期して同じく外部から入力される水平スタート信号HSTを一水平期間内で順次転送する事により、水平アナログスイッチHSWを開閉制御する。これにより、一水平期間毎選択された行の液晶画素LCに対して映像信号を書き込み転送する。このHCK1、HCK2も互いに逆相関係にある。

【0016】垂直走査回路1は選択パルスの逐次出力を切り換え制御するスイッチ手段を内蔵しており、映像信号の規格に合わせて一水平期間毎に選択されるラインの本数を調整する。その具体的な構成を(B)に示す。図示する様に、垂直走査回路1はD型フリップフロップ

(D-F/F)の多段接続からなるシフトレジスタ3を含んでおり、垂直スタート信号VSTを順次転送して一次選択パルスa、b、c、d、…を逐次生成する。又ゲート手段4を含んでおり、シフトレジスタ3の隣り合う段から出力した一対の一次選択パルス(例えば、aとb)をゲート処理して二次選択パルス(例えばA1)を生成する。このゲート手段4はシフトレジスタ3の各段毎に配された前段アンドゲート素子(AND1)から構成されている。なお、本例では二次選択パルスA1、B1、C1、…の波形整形を行なう為に後段アンドゲート素子(AND2)が配されている。各AND2の一方の入力端子にはイネーブル信号ENが供給され、他方の入力端子には波形整形前の二次選択パルスA1、B1、C1、…が入力される。各AND2の出力端子には波形整形後の二次選択パルスA2、B2、C2、…が出力される。スイッチ手段5がシフトレジスタ3とゲート手段4との間に介在している。このスイッチ手段5はD-F/Fの各段に対応して配置したスイッチSWからなる。このスイッチSWは外部入力される制御信号SLTにより開閉制御される。具体的には、一水平期間に1ラインを選択する時制御信号SLTはローレベルとなりSWを閉成する。これにより、一対の一次選択パルス(例えば、a、b)はそのままゲート手段4に供給され二次選択パルスA2が出力される。一方、一水平期間に2ラインを同時選択する時、制御信号SLTがハイレベルに切り換わりスイッチSWが開成状態に移行して電源電圧側に接続する。この結果、一対の一次選択パルスの片方(例えばb)を遮断して他方(例えばa)をゲート手段4に供給し、元の一次選択パルスaの出力を可能にしている。この一次選択パルスaはゲート手段4の後段アンドゲート素子AND2により所定の波形整形がなされる。

【0017】次に、図2及び図3を参照して、図1に示

した垂直走査回路の動作を詳細に説明する。先ず初めに、図 2 のタイミングチャートはフルフレーム構成の液晶パネルに対してノンインターレース駆動を行なった場合を表わしている。これは、例えば V G A 等のコンピュータ出力表示を行なう場合に実施される。垂直クロック信号 V C K 1, V C K 2 はデューティ比 5 0 % に設定されている。ノンインターレース駆動の場合制御信号 S L T はローレベルにあり、スイッチ手段 5 を構成する各スイッチ S W は導通状態にある。又、波形整形用のイネーブル信号 E N はローアクティブであり、ノンインターレース駆動ではハイレベルに固定されている。図 2 のタイミングチャートに示した波形 a ~ d は、図 1 の (B) に示した D - F / F の各段から出力された一次選択パルスを表わしている。図から理解される様に、垂直スタート信号 V S T がクロック信号 V C K 1, V C K 2 の半周期毎に順次転送され、各段の D - F / F から順次一次選択パルス a ~ d が得られる。これらの一次選択パルスは A N D 1 により処理され、二次選択パルス A 1, B 1, C 1, D 1, ... が順次出力される。イネーブル信号 E N はハイレベルに固定されている為、これらの二次選択パルス A 1 ~ D 1 はそのまま最終的な二次選択パルス A 2 ~ D 2 になる。従って、このノンインターレース駆動では二次選択パルス A 2, B 2, C 2, ... が順次液晶パネルの 1 ライン毎に発生し、1 ライン相当の映像信号を書き込み転送する事になる。

【 0 0 1 8 】図 3 のタイミングチャートは 2 ライン同時選択によりインターレース駆動を行なう場合を示しており、例えば図 1 の (A) に示した液晶パネルで T V 信号を表示する場合に実行される。このインターレース駆動では制御信号 S L T がハイレベルに切り換わり、スイッチ手段 5 を構成する各スイッチ S W が開成状態になる。従って、ゲート手段 4 を構成する前段アンドゲート素子 A N D 1 には対応する段の D - F / F から出力された一次選択パルスがそのまま供給され且つ通過する。イネーブル信号 E N はローアクティブのパルス状態になっている。図示する様に、本発明に従ってフルフレーム構成の液晶パネルを 2 本同時選択方式でインターレース駆動する場合には、V C K 1 のデューティ比を 5 % に設定し、V C K 2 のデューティ比を 9 5 % に設定している。この場合には、1 段目の D - F / F から出力された一次選択パルス a に対して、2 段目の D - F / F から出力された一次選択パルス b は 5 % のデューティ比分だけ遅延して出力される。3 段目の D - F / F から出力された一次選択パルス c は前段の一次選択パルス b に対し 9 5 % のデューティ比に相当する分だけ遅延して出力される。一对の一次選択パルス a, b は略重複しており一水平期間で 2 ラインを同時選択可能である。又、次の一对の一次選択パルス c, d も略重複しており、一水平期間で 2 ラインを同時選択可能である。従って、これらの一次選択パルス a ~ d はそのままゲート手段 4 の前段アンドゲート

素子 A N D 1 を通過できる様に、スイッチ手段 5 の S W が開成状態に置かれている。しかしながら、各一次選択パルス a ~ d の立ち上がり部又は立ち下がり部に 5 % のデューティ比 X に相当するオーバーラップが生じている。これを除去する為、イネーブル信号 E N を周期的にローアクティブとし、オーバーラップに相当する時間だけゲート手段 4 の後段アンドゲート素子 A N D 2 を閉じている。この時間は水平ブランキング期間に設定され、且つ十分に短くする事で実用上問題ない表示とする事ができる。この結果、ゲート手段 4 からは完全に重なった一对の二次選択パルス A 2, B 2 が出力され 2 ライン同時選択が可能になる。次の水平期間では一对の二次選択パルス C 2, D 2 が完全に重なった状態で出力され 2 ライン同時選択を行なう。この際、A 2, B 2 の組と C 2, D 2 の組は上述したイネーブル信号 E N による波形整形処理により完全に分離されている。なお、2 ライン同時選択方式のインターレース駆動を行なう場合、奇数フィールドと偶数フィールドで同時選択される 2 本の組を 1 本ずつずらす必要がある。この為、本実施例ではフィールド毎に V C K 1 と V C K 2 を入れ換えており、同時選択される 2 本のラインのペアリングを換えている。図 3 のタイミングチャートに示す様に、V C K 1 と V C K 2 を入れ換える事で、奇数フィールドのペアリング (a, b), (c, d) が、偶数フィールドのペアリングでは 1 本毎にずれている事が分かる。

【 0 0 1 9 】以上説明した様に、ラインの線順次走査を行なう選択パルスは図 1 の (B) に示す様に D - F / F 等を用いたシフトレジスタ 3 により生成される。本実施例では、その転送段数を減らす為ゲート手段 4 に含まれる前段アンドゲート素子 A N D 1 を用いて論理処理を行ない、オーバーラップのない二次選択パルスを生成している。これは、図 2 に示したタイミングチャートの通りであり、ノンインターレース時の駆動に用いられる。一方、インターレース駆動時には 2 ライン同時選択用のパルスを出力させる為、図 3 のタイミングチャートに示した様な垂直クロック信号 V C K 1, V C K 2 でシフトレジスタを駆動する。こうする事で、2 ライン同時選択用のパルスを出力させる事ができる。但し、ノンインターレース時の様に A N D 1 がそのまま介在すると、必要な選択パルスを出力する事ができなくなる。従って、1 ライン単独選択のノンインターレース駆動と 2 ライン同時選択のインターレース駆動とで垂直走査回路の兼用を実現する為、図 1 の (B) に示すスイッチ手段 5 を付加し、夫々のモードにおいて、A N D 1 の使用 / 不使用を選択する回路構成となっている。ノンインターレース駆動時には図 2 に示す様な垂直クロック信号でシフトレジスタを駆動し、一对の一次選択パルスが共通の A N D 1 を通る様に結線を切り換える。又、2 ライン同時選択によりインターレース駆動を行なう時には、シフトレジスタ 3 から出力された一次選択パルスが各々単独で A N D

1 を通過する様に結線を切り換える。

【 0 0 2 0 】 図 4 は、1 本おきにライン選択を行なってフルフレーム構成の液晶パネルをインターレース駆動した場合におけるタイミングチャートを表わしている。先に説明した 2 ライン同時選択によるインターレース駆動と異なり、このインターレース駆動ではノンインターレース駆動と同様にスイッチ手段 5 が導通状態におかれる。即ち制御信号 S L T はローレベルに保持される。この 1 ラインおきに選択する方式は C R T と同様のインターレース駆動になる。液晶の比抵抗、スイッチング用薄膜トランジスタ T_r の電流リーク改善等により、15 Hz のフリッカーが問題ないレベルまで抑制できれば、この方式によるインターレース駆動も実用的となる。図示する様に、1 ラインおきのインターレース駆動を実現する為、本例では V C K 1 のデューティ比を 5 % に設定し、V C K 2 のデューティ比を 9 5 % に設定している。この点は、2 ライン同時選択方式によるインターレース駆動と同様である。この場合には、1 段目の D - F / F から出力された一次選択パルス a に対して、2 段目の D - F / F から出力された一次選択パルス b は 5 % のデューティ比分だけ遅延して出力される。3 段目の D - F / F から出力された一次選択パルス c は前段の一次選択パルス b に対し 9 5 % のデューティ比に相当する分だけ遅延して出力される。これらの一次選択パルス a, b, c, d, … を各々前段アンドゲート素子 AND 1 で処理すると、各段から二次選択パルス A 1, B 1, C 1, D 1, … が出力される。即ち、1 ラインおきに幅の広い有効選択パルス A 1, C 1 と幅の狭い無効選択パルス B 1, D 1 が交互に出力される。ここで、予め V C K 1 のパルス発生時間 X を水平ブランキング期間内に選んでおけば、B 1, D 1 で示される無効選択パルスは水平ブランキング期間内に出力される。従って、偶数番目のラインに対しては何等有効な映像信号が書き込まれない。

【 0 0 2 1 】 本発明では、上述したインターレース駆動を行なう場合、実際にはゲート手段 4 に含まれる後段アンドゲート素子 AND 2 に対してローアクティブのイネーブル信号 E N を供給している。このイネーブル信号 E N は水平ブランキング期間に同期しており、無効選択パルス B 1, D 1 の出力を禁止している。従って、最終的には図 4 のタイミングチャートの最下段に示す様に、有効な二次選択パルス A 2, C 2, … のみが奇数ラインに順次供給され、偶数ラインには何等選択パルスが供給されない。

【 0 0 2 2 】 図 5 のタイミングチャートは、図 4 に示したタイミングチャートに比較し、V C K 1 と V C K 2 を入れ換えている。これにより、一次選択パルス a, b, c, d, … の位相関係が 1 ライン分シフトする。従って、最終的には、有効選択パルス B 2, D 2, … のみが出力され、偶数ラインが選択される一方奇数ラインは非選択状態におかれる。この様に、1 ラインおきの有効選

択パルスを例えば奇数フィールドでは奇数ラインに供給し、偶数フィールドでは偶数ラインに供給する事によってインターレース駆動を行なう事ができる。又、図 2 に示したクロック信号 V C K 1, V C K 2 及び図 4 及び図 5 に示したクロック信号 V C K 1, V C K 2 を外部タイミングジェネレータで切り換える事により、同一のアクティブマトリクス型液晶パネルでノンインターレース駆動とインターレース駆動が可能になる。

【 0 0 2 3 】 図 6 は、図 1 の (B) に示したスイッチ手段 5 に含まれる S W の具体的な構成例を示す回路図である。本例では、個々の選択スイッチ S W は一對のトランスミッションゲート素子を用いて構成されている。制御信号 S L T がローレベルの時、一方のトランスミッションゲート素子 T G 1 が非導通状態になるのに対し、他方のトランスミッションゲート素子 T G 2 が導通状態になる。従って、次段の D - F / F から出力された一次選択パルスが前段の一次選択パルスと共に共通の AND 1 に供給される。制御信号 S L T がハイレベルに切り換わると、T G 1 が導通する一方 T G 2 が非導通状態になる。従って、次段の D - F / F が切り離され、この代わりに AND 1 には電源のハイレベルが T G 1 により供給されるので、AND 1 はゲートが開いた状態になる。従って、当該段の D - F / F から出力された一次選択パルスはそのまま AND 1 を通過する。

【 0 0 2 4 】 図 7 は、図 1 の (B) に示したスイッチ手段 5 の他の具体的な構成例を示す回路図である。本例では、個々の選択スイッチ S W は 1 個のナンドゲート素子と 1 個のインバータとの組み合わせからなる。制御信号 S L T がローレベルの時ナンドゲート素子のゲートが開くので、次段の D - F / F から出力された一次選択パルスはインバータ素子及びナンドゲート素子を介して AND 1 に供給される。これに対し、S L T がハイレベルになるとナンドゲート素子のゲートが閉じその出力はハイレベルに固定される。従って、次段の D - F / F から出力された一次選択パルスは前段に対応する AND 1 から切り離される。

【 0 0 2 5 】 1 ライン単独選択と 2 ライン同時選択を内部的に切り換え可能な液晶パネルはノンインターレース駆動とインターレース駆動の兼用化に加え、走査線数の異なる様々な規格の映像信号に対応する際にも応用できる。任意の水平位置で 2 ライン同時選択を実行する事により、規定の走査線数より少ない映像信号が入力された場合に生じるアスペクト比の変動を、スキャンコンバータ等を用いる事なく「間延し」を行なって表示する事ができる。V G A 等のコンピュータ出力の表示用に液晶パネルを用いる場合、走査線数の異なるモードにおいてもアスペクト比を変えずに対応可能である。以下その具体例を説明する。

【 0 0 2 6 】 V G A 等のコンピュータ出力信号は多くのモードを持っており、そのモードにおいて走査線数が異

10

20

30

40

50

なるものがある。C R Tにおいては垂直表示期間の変更で対応可能であるが、液晶パネルの様な画素数(ドット数)が固定である構造では、走査線数の変更に対応するとアスペクト比が変わってしまう。例えば、V G Aの標準モードは図8の(A)に示す様に横方向が640ドットで縦方向が480ドットである。しかしながら、変形モードの1つとして図8の(B)に示す様に640ドット×400ドットの最も少ない走査線数のものがある。これを640ドット×480ドットの液晶パネルで表示すると、上下に40ドット分ずつ表示されない部分が生じ、画像のアスペクト比が変わってしまう。これを避ける為に、従来映像信号を一旦外部メモリ等に取り込み、適当な補間信号を挿入して液晶パネルに入力する為、スキャンコンバータのシステムが必要になり構成が複雑化し且つコストアップとなる。

【0027】かかる問題をシステムの複雑化を生じる事なく解決する為には、図9に示す様に部分的にゲートラインXを2本同時に選択して、同一の映像信号を液晶セルLCに入力すれば良い。これにより、全体的に垂直方向に間延びした画像が表示できる。

【0028】例えば、図10に示す様に、640ドット×480ドットの液晶パネルに640ドット×400ドットの映像信号を入力する場合6本のラインにつき1本の割合で上述した2ライン同時選択を行なう事で、アスペクト比が変わらない表示が可能になる。

【0029】この様な「間延し」駆動を実現する為、部分的に2ライン同時選択が可能な垂直走査回路が必要になる。その具体的な回路構成を図11に示す。この回路は基本的に図1の(B)に示した回路構成と同様であり、対応する部分には対応する参照番号を付してある。即ち、D-F/Fを多段接続したシフトレジスタ3とゲート手段4と両者の間に介在するスイッチ手段5とを備えている。このスイッチ手段5は制御信号S L Tにより開閉制御され、正規の走査線数を有する通常規格の映像信号が入力される時一水平期間毎に1ラインを選択して通常駆動を可能にすると共に、正規より少ない走査線数を有する変型規格の映像信号が入力された時一水平期間に1ラインを選択する駆動と一水平期間に2ラインを同時選択する駆動とを所定の割合で組み合わせて「間延し」駆動を可能にしている。

【0030】図12は、図11に示したスイッチ手段5の具体的な構成例を示している。基本的には、図7に示した先の具体例と同様であり、スイッチ手段5として各段毎に設けたS Wはナンドゲート素子とインバータ素子との組み合わせからなる。各D-F/Fには互いに逆相の垂直クロック信号V C K 1、V C K 2が交互に供給されている。又、D-F/Fの先頭段には垂直スタート信号V S Tが入力される。各段のD-F/Fから出力された一次選択パルスa、b、c、d、eはスイッチ手段5及びゲート手段4を介して二次選択パルスA、B、C、

Dとなって出力される。

【0031】図12に示した垂直走査回路の「間延し」動作を図13のタイミングチャートにより説明する。図示する様に1ライン毎の順次選択を行なう部分ではデューティ比が50%のV C K 1、V C K 2が供給される。又制御信号S L Tはハイレベルに維持されている。これにより1ライン毎に対応した二次選択パルス(例えば、A、D)が出力される。一方、2ライン同時選択を行なう部分では、V C K 1及びV C K 2のデューティ比が50%と95%に切り換えられる。同時に制御信号S L Tもローレベルに切り換えられる。これにより、この水平期間だけ二次選択パルスB、Cが同時に出力される。この様に、タイミングジェネレータから供給されるV C K 1、V C K 2の位相と制御信号S L Tのレベルを切り換えるだけで、1ライン単独選択と2ライン同時選択を随時切り換え可能であり、所望の「間延し」駆動が実現できる。

【0032】垂直ドット数が480の画面に対して、400ドット相当の映像信号を6本に1本の割合で同時選択を行ないつつ入力した場合には、前述した様にアスペクト比は変わらない。しかしながら、全体的に間延びした表示になる。これを避ける為、例えば図14に示す様に、画面の中心部では通常の1ライン単独選択を行ない、画面の上下の部分で2ライン同時選択を行なう事により、表示の重要な部分での間延びを防ぐ事ができる。

【0033】最後に、図15は本発明にかかる表示装置の全体的な構成を示すシステムブロック図である。図示する様に本システムはフルライン構成の液晶パネル11と、R G Bドライバ12と、デコーダ13と、タイミングジェネレータ14とから構成されている。フルライン液晶パネル11は図1の(A)に示した内部構成を有しており、行列配置した液晶画素や垂直走査回路及び水平走査回路を備えている。デコーダ13は外部入力されたV G AやT V等の映像信号を処理して水平同期信号H S Y N C及び垂直同期信号V S Y N Cを分離する。さらに映像信号を復調して画像データr、g、bを生成する。R G Bドライバ12はタイミングジェネレータ14から供給されるS/Hパルスに応じてサンプルアンドホールドを行なうと共に、交流化信号F R Pに従って交流のR G B映像信号をフルライン液晶パネル11に供給する。本例では、F R Pに従って一水平期間毎の交流反転駆動(1 H駆動)が行なわれる。又、R G Bドライバ12は対向電圧V c o mも合わせてフルライン液晶パネル11に供給する。タイミングジェネレータ14はノンインターレース駆動及びインターレース駆動を行なう場合に必要な種々のタイミング信号を供給しており、H S Y N C及びV S Y N Cに同期して、液晶パネル11に対して水平スタート信号H S T、水平クロック信号H C K 1、H C K 2、垂直スタート信号V S T、垂直クロック信号V C K 1、V C K 2、イネーブル信号E N、制御信号S L

T等を供給する。又、上述した様にRGBドライバ12に対してS/Hパルス及びFRPを供給する。

【0034】

【発明の効果】以上説明した様に、本発明によれば、1ライン単独選択と2ライン同時選択を内部的に切り換える事でノンインターレース駆動とインターレース駆動を1個の液晶パネルで兼用可能になり、何等外部メモリ等を用いる必要がないので表示装置のコストが抑制できるという効果がある。又、外部にスキャンコンバータ等を取り付ける事なく、走査線数の異なる多種多様の規格の映像信号に対応可能となり、アスペクト比を変える事なく1個の液晶パネルで様々な規格のVGA信号等を表示できる。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の第1実施例を示す回路図である。

【図2】第1実施例の動作説明に供するタイミングチャートである。

【図3】同じく第1実施例の動作説明に供するタイミングチャートである。

【図4】同じく第1実施例の動作説明に供するタイミングチャートである。

【図5】同じく第1実施例の動作説明に供するタイミングチャートである。

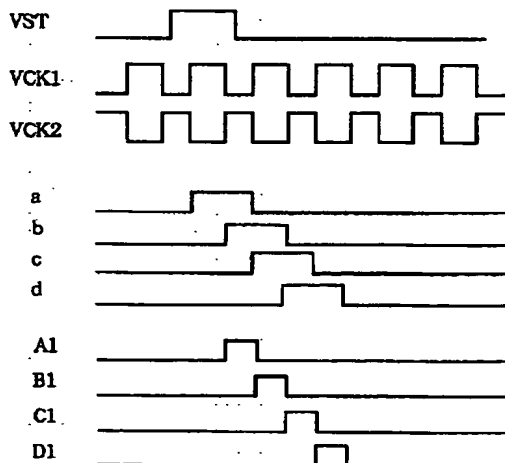
【図6】第1実施例に組み込まれる垂直走査回路の具体的な構成例を示す回路図である。

【図7】同じく他の具体的な構成例を示す回路図である。

【図8】液晶パネルのドット構成を示す模式的な平面図である。

【図9】液晶パネルの「間延し」駆動の説明に供する回路図である。

【図2】



【図10】「間延し」駆動を表わした模式的な平面図である。

【図11】「間延し」駆動に好適な垂直走査回路構成を示すブロック図である。

【図12】図11に示した垂直走査回路の具体的な構成例を示す回路図である。

【図13】図12に示した垂直走査回路の動作説明に供するタイミングチャートである。

【図14】「間延し」駆動の他の例を示す模式的な平面図である。

【図15】本発明にかかる表示装置の全体構成を示すシステムブロック図である。

【図16】従来の液晶パネルの一例を示す模式的な平面図である。

【図17】従来の液晶パネルの他の例を示す平面図である。

【図18】従来の液晶パネルの別の例を示す平面図である。

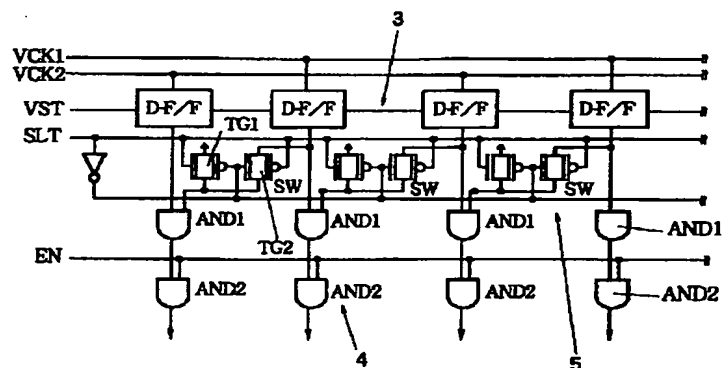
【図19】従来の液晶パネルのさらに別の例を示す平面図である。

【図20】従来の液晶パネルのさらに別の例を示す平面図である。

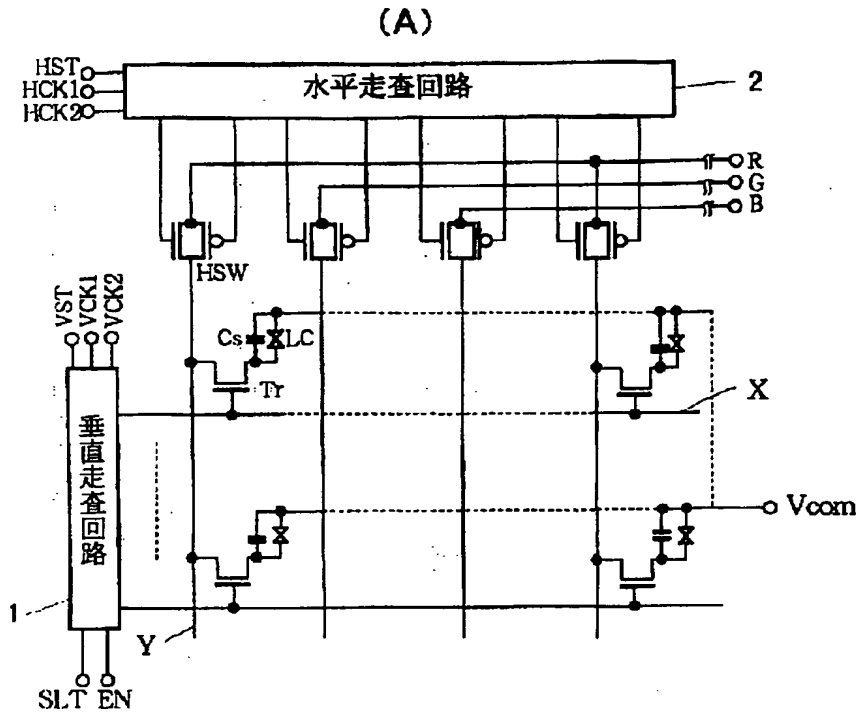
【符号の説明】

- 1 垂直走査回路
- 2 水平走査回路
- 3 シフトレジスタ
- 4 ゲート手段
- 5 スイッチ手段
- 11 液晶パネル
- 12 RGBドライバ
- 13 デコーダ
- 14 タイミングジェネレータ

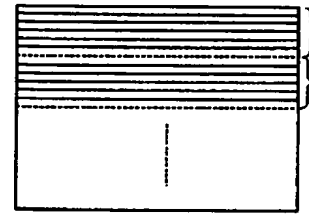
【図6】



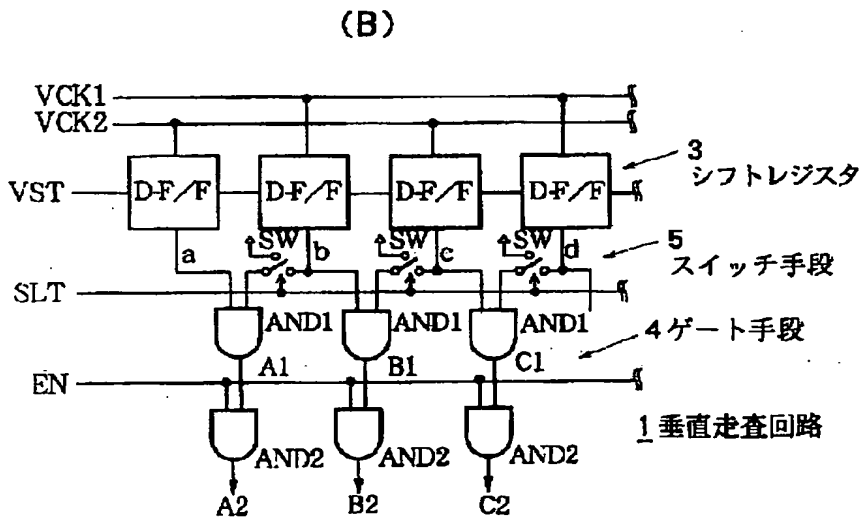
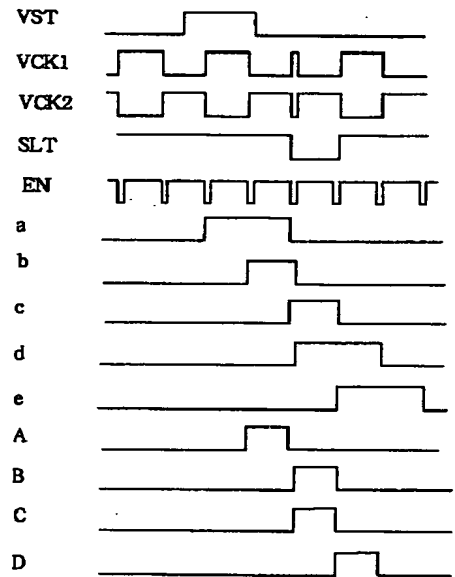
【図 1】



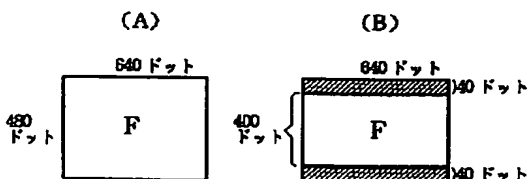
【図 10】



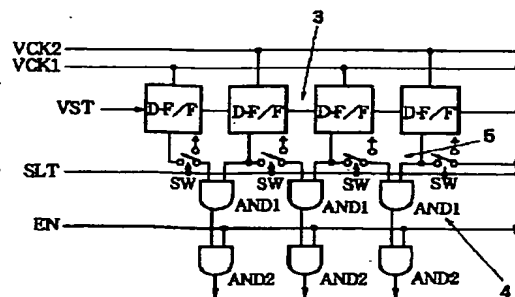
【図 13】



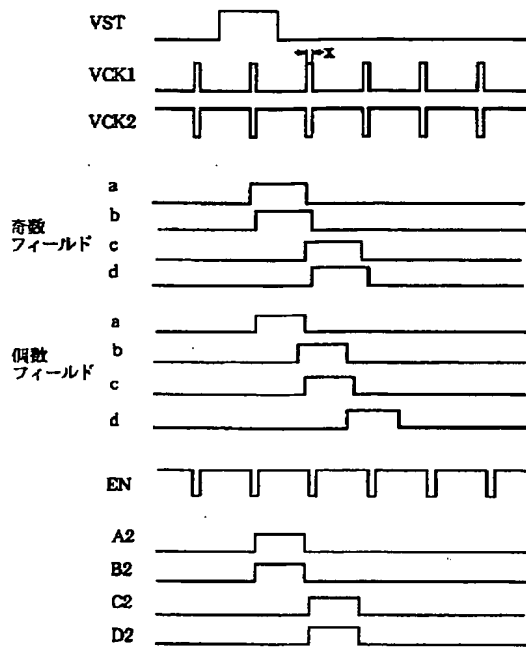
【図 8】



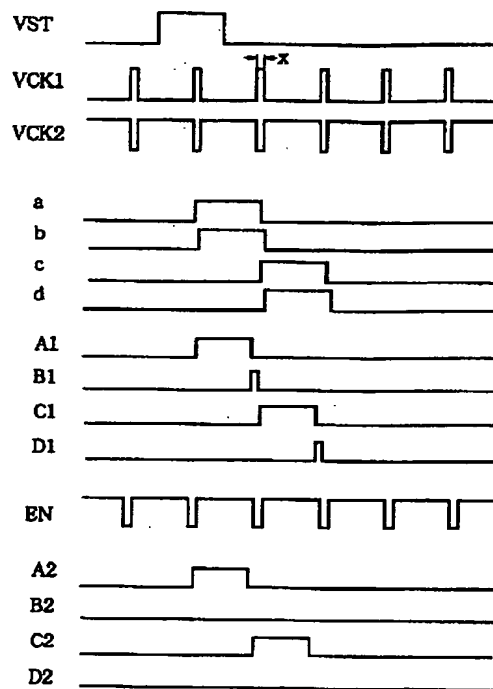
【図 11】



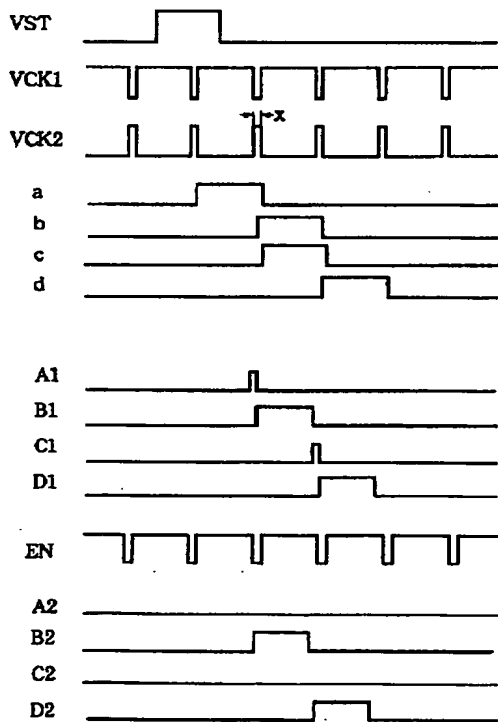
【図 3】



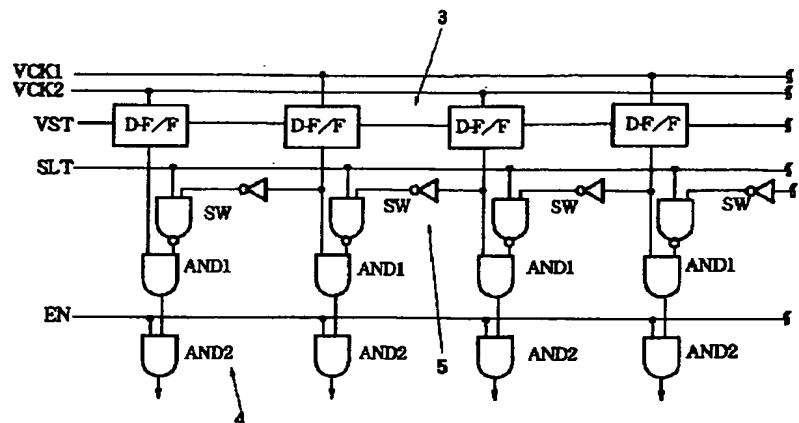
【図 4】



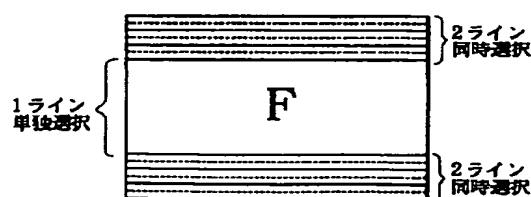
【図 5】



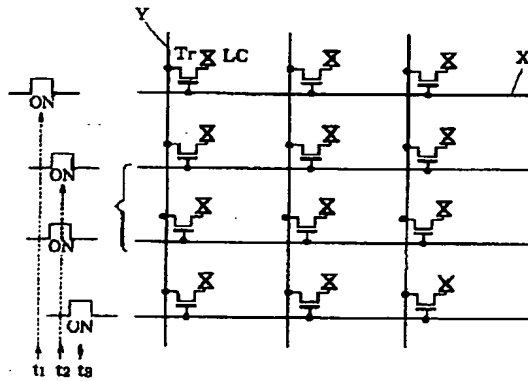
【図 7】



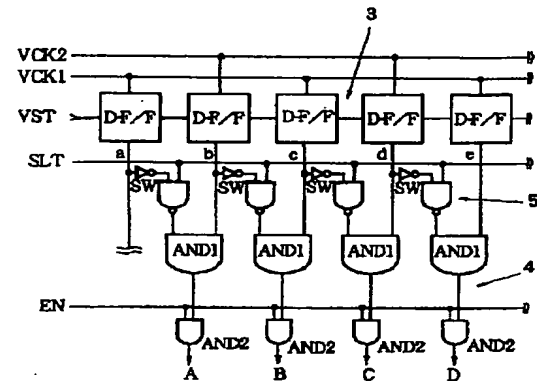
【図 1 4】



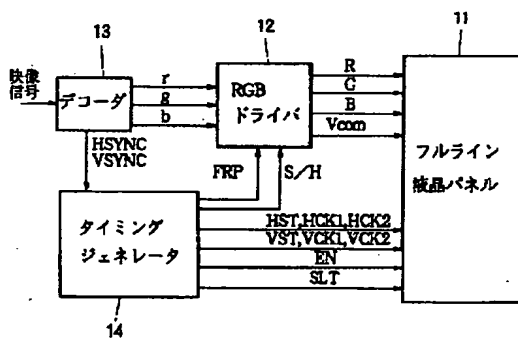
【図 9】



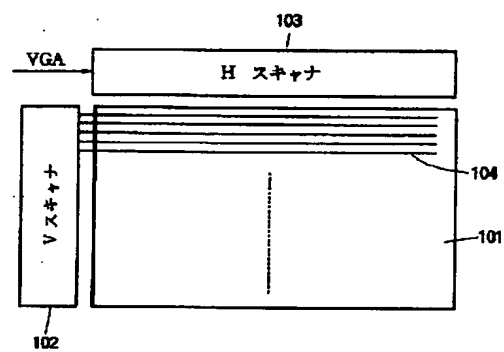
【図 12】



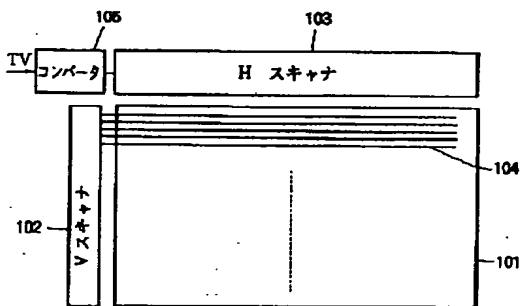
【図 15】



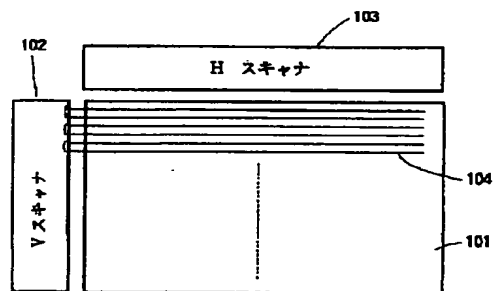
【図 16】



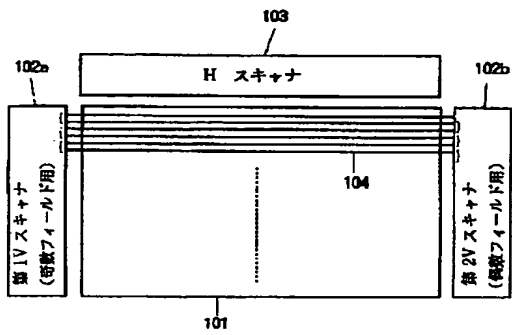
【図 17】



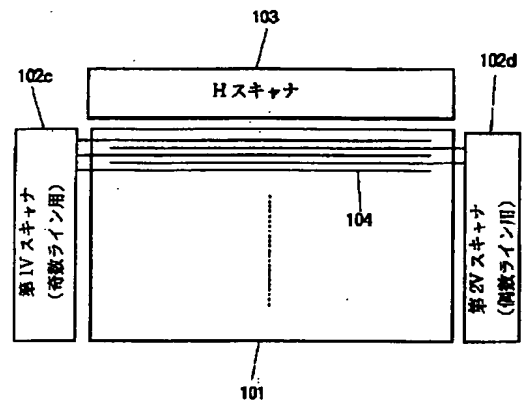
【図 18】



【図 19】



【図 20】



フロントページの続き

(72)発明者 坪田 浩嘉
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内